

**Family list**

4 application(s) for: **JP2002124377**

Sorting criteria: Priority Date Inventor Applicant Ecla

**1 CURRENT DRIVE CIRCUIT**

**Inventor:** NISHITOBA SHIGEO

**Applicant:** NEC CORP

**EC:** G09G3/32A8C; G09G3/32A8C2S; (+1)

**IPC:** G09G3/20; G09G3/30; G09G3/32; (+16)

**Publication info:** JP2002124377 (A) - 2002-04-26  
JP3594126 (B2) - 2004-11-24

**Priority Date:** 2000-10-13

**2 CURRENT DRIVING CIRCUIT**

**Inventor:** NISHITOBA SHIGEO

**Applicant:** NEC CORP

**EC:** G09G3/32A8C; G09G3/32A8C2S; (+1)

**IPC:** G09G3/20; G09G3/30; G09G3/32; (+12)

**Publication info:** KR20020029632 (A) - 2002-04-19

**Priority Date:** 2000-10-13

**3 Current driving circuit**

**Inventor:** NISHITOBA SHIGEO [JP]

**Applicant:** NEC CORP [JP]

**EC:** G09G3/32A8C; G09G3/32A8C2S; (+1)

**IPC:** G09G3/20; G09G3/30; G09G3/32; (+12)

**Publication info:** TW236649 (B) - 2005-07-21

**Priority Date:** 2000-10-13

**4 Current driving circuit**

**Inventor:** NISHITOBA SHIGEO [JP]

**Applicant:** NISHITOBA SHIGEO, ; NEC CORPORATION

**EC:** G09G3/32A8C; G09G3/32A8C2S; (+1)

**IPC:** G09G3/20; G09G3/30; G09G3/32; (+12)

**Publication info:** US2002043991 (A1) - 2002-04-18  
US6734836 (B2) - 2004-05-11

**Priority Date:** 2000-10-13

---

Data supplied from the **espacenet** database — Worldwide

# CURRENT DRIVE CIRCUIT

**Publication number:** JP2002124377 (A)

**Publication date:** 2002-04-26

**Inventor(s):** NISHITOBA SHIGEO +

**Applicant(s):** NEC CORP +

**Classification:**

- international: *G09G3/20; G09G3/30; G09G3/32; H01L51/50; H03K17/687; H04N5/70; H05B33/08; G09G3/20; G09G3/30; G09G3/32; H01L51/50; H03K17/687; H04N5/70; H05B33/02; (IPC1-7): H05B33/08; G09G3/20; G09G3/30; H04N5/70; H05B33/14*

- European: G09G3/32A8C; G09G3/32A8C2S; H05B33/08P

**Application number:** JP20000313581 20001013

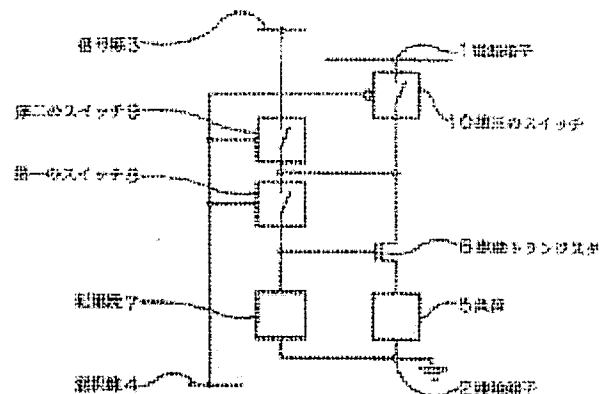
**Priority number(s):** JP20000313581 20001013

**Also published as:**

JP3594126 (B2)  
US2002043991 (A1)  
US6734836 (B2)  
TW236649 (B)  
KR20020029632 (A)

**Abstract of JP 2002124377 (A)**

**PROBLEM TO BE SOLVED:** To provide a current drive circuit that is in low manufacturing cost and has low power consumption. **SOLUTION:** The current drive circuit comprises a power source terminal 1, grounding terminal 2, signal cable 3 with flowing signal current, first switch 8, second switch 9, third switch 10, memory step 7 that converts the signal current into a voltage and stores it, drive transistor 6, load 5 that is connected between the source of the drive transistor 6 and the grounding terminal 2, and selection cable 4 that is connected with the first, second and third switch. The signal cable 3 is connected with the gate of the drive transistor 6 via the first and second switch, the memory step 7 is connected between the gate of the drive transistor 6 and the grounding terminal 2, and the first switch is connected between the drain and the gate of the drive transistor 6. The drain of the drive transistor 6 is connected with the signal cable 3 via the second switch and connected with the power source terminal 1 via the third switch.



Data supplied from the **espacenet** database — Worldwide

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2002-124377

(P2002-124377A)

(43)公開日 平成14年4月26日(2002.4.26)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テマコード*(参考)
H 0 5 B 33/08		H 0 5 B 33/08	3 K 0 0 7
G 0 9 G 3/20	6 1 1	G 0 9 G 3/20	6 1 1 A 5 C 0 5 8
	6 2 4		6 2 4 B 5 C 0 8 0
3/30		3/30	J
H 0 4 N 5/70		H 0 4 N 5/70	A
審査請求 有 請求項の数17 O L (全 14 頁) 最終頁に続く			

(21)出願番号 特願2000-313581(P2000-313581)

(22)出願日 平成12年10月13日(2000.10.13)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 西島羽 茂夫

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100096105

弁理士 天野 広

Fターム(参考) 3K007 AB02 AB05 AB18 BA06 BB07

DA01 DB03 EB00 GA04

5C058 AA12 BA01 BA26 BB25

5C080 AA06 BB05 DD26 DD28 EE29

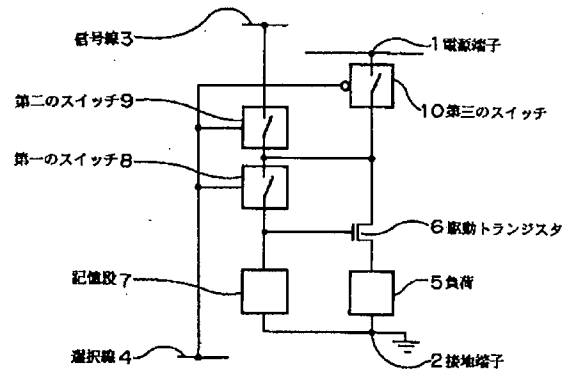
FF11 JJ02 JJ03

(54)【発明の名称】 電流駆動回路

(57)【要約】

【課題】低製造コストと低消費電力の電流駆動回路を提供する。

【解決手段】本電流駆動回路は、電源端子1と、接地端子2と、信号電流が流れる信号線3と、第一のスイッチ8と、第二のスイッチ9と、第三のスイッチ10と、信号電流を電圧に変換して記憶する記憶段7と、駆動トランジスタ6と、駆動トランジスタ6のソースと接地端子2との間に接続されている負荷5と、第一、第二及び第三のスイッチに接続されている選択線4と、からなる。信号線3は第一及び第二のスイッチを介して駆動トランジスタ6のゲートに接続され、記憶段7は駆動トランジスタ6のゲートと接地端子2との間に接続され、第一のスイッチは駆動トランジスタ6のドレインとゲートとの間に接続されている。駆動トランジスタ6のドレインは、第二のスイッチを介して信号線3に接続されるとともに、第三のスイッチを介して電源端子1に接続されている。



【特許請求の範囲】

【請求項1】 電源に接続されている電源端子と、  
接地されている接地端子と、  
信号電流が流れる信号線と、  
第一のスイッチと、  
前記信号線に接続され、前記第一のスイッチと直列に接続されている第二のスイッチと、  
前記電源端子に接続されている第三のスイッチと、  
前記信号電流を電圧に変換して記憶する記憶段と、  
駆動トランジスタと、  
前記駆動トランジスタのソースと前記接地端子との間に接続されている負荷と、  
前記第一、第二及び第三のスイッチに接続されている選択線と、  
からなり、  
前記信号線は前記第一及び第二のスイッチを介して前記駆動トランジスタのゲートに接続されており、  
前記記憶段は、前記駆動トランジスタのゲートと前記接地端子との間に接続されており、  
前記第一のスイッチは前記駆動トランジスタのドレインとゲートとの間に接続されており、  
前記駆動トランジスタのドレインは、前記第二のスイッチを介して前記信号線に接続されるとともに、前記第三のスイッチを介して前記電源端子に接続されている電流駆動回路。

【請求項2】 前記第三のスイッチは前記第一及び第二のスイッチとは逆極性を有しており、前記選択線がハイレベルまたはローレベルの何れか一方の場合には、前記第一及び第二のスイッチは導通状態にあり、かつ、前記第三のスイッチは遮断状態にあり、前記選択線がハイレベルまたはローレベルのうちの他方の場合には、前記第一及び第二のスイッチは遮断状態にあり、かつ、前記第三のスイッチは導通状態にあることを特徴とする請求項1に記載の電流駆動回路。

【請求項3】 電源に接続されている電源端子と、  
接地されている接地端子と、  
信号電流が流れる信号線と、  
第一のスイッチトランジスタと、  
第二のスイッチトランジスタと、  
第三のスイッチトランジスタと、  
前記信号電流を電圧に変換して記憶する保持容量と、  
駆動トランジスタと、  
前記駆動トランジスタのソースと前記接地端子との間に接続されている負荷と、  
前記第一、第二及び第三のスイッチトランジスタのゲートに接続されている選択線と、  
からなり、  
前記保持容量は、前記駆動トランジスタのゲートと前記接地端子との間に接続されており、  
前記第一及び第二のスイッチトランジスタは、前記信号

線と前記駆動トランジスタのゲートとの間に相互に直列に接続されており、  
前記第一のスイッチトランジスタと前記第二のスイッチトランジスタとの接続点は、前記駆動トランジスタのドレインに接続され、  
前記駆動トランジスタのドレインは前記第三のスイッチトランジスタを介して前記電源端子に接続されている電流駆動回路。

【請求項4】 電源に接続されている電源端子と、  
接地されている接地端子と、  
信号電流が流れる信号線と、  
第一のスイッチトランジスタと、  
第二のスイッチトランジスタと、  
第三のスイッチトランジスタと、  
前記信号電流を電圧に変換して記憶する保持容量と、  
駆動トランジスタと、  
前記駆動トランジスタのソースと前記接地端子との間に接続されている負荷と、  
前記第一、第二及び第三のスイッチトランジスタのゲートに接続されている選択線と、  
からなり、  
前記保持容量は、前記駆動トランジスタのゲートと前記接地端子との間に接続されており、  
前記第二のスイッチトランジスタのソースは、前記駆動トランジスタのドレインと前記第三のスイッチトランジスタのドレインとの接続点に接続されており、  
前記第一及び第二のスイッチトランジスタのドレインは前記信号線に接続されており、  
前記第一のスイッチトランジスタのソースは前記駆動トランジスタのゲートと前記保持容量との接続点に接続されており、  
前記駆動トランジスタのドレインは前記第三のスイッチトランジスタを介して前記電源端子に接続されている電流駆動回路。

【請求項5】 電源に接続されている電源端子と、  
接地されている接地端子と、  
信号電流が流れる信号線と、  
第一のスイッチトランジスタと、  
第二のスイッチトランジスタと、  
第三のスイッチトランジスタと、  
第四のトランジスタと、  
前記信号電流を電圧に変換して記憶する保持容量と、  
駆動トランジスタと、  
前記駆動トランジスタのソースと前記接地端子との間に接続されている負荷と、  
前記第一、第二及び第三のスイッチトランジスタのゲートに接続されている選択線と、  
からなり、  
前記保持容量は、前記駆動トランジスタのゲートと前記接地端子との間に接続されており、

前記第二のスイッチトランジスタのソースは、前記駆動トランジスタのドレインと前記第三のスイッチトランジスタのドレインとの接続点に接続されており、前記第二のスイッチトランジスタのドレインは前記信号線に接続されており、前記第四のトランジスタは前記第一のスイッチトランジスタのドレインと前記第二のスイッチトランジスタのドレインとの間に接続されており、前記第四のトランジスタは前記第一のスイッチトランジスタ及び前記第二のスイッチトランジスタと同極性であり、前記第四のトランジスタのドレインとゲートは前記第二のスイッチトランジスタと前記信号線との接続点に接続され、前記第四のトランジスタのソースは前記第一のスイッチトランジスタのドレインに接続されており、前記第一のスイッチトランジスタのソースは前記駆動トランジスタのゲートと前記保持容量との接続点に接続されており、前記駆動トランジスタのドレインは前記第三のスイッチトランジスタを介して前記電源端子に接続されている電流駆動回路。

【請求項6】 電源に接続されている電源端子と、接地されている接地端子と、信号電流が流れる信号線と、第一のスイッチトランジスタと、第二のスイッチトランジスタと、第三のスイッチトランジスタと、第四のトランジスタと、前記信号電流を電圧に変換して記憶する保持容量と、駆動トランジスタと、前記駆動トランジスタのソースと前記接地端子との間に接続されている負荷と、前記第一、第二及び第三のスイッチトランジスタのゲートに接続されている選択線と、からなり、前記保持容量は、前記駆動トランジスタのゲートと前記接地端子との間に接続されており、前記第二のスイッチトランジスタのソースは、前記駆動トランジスタのドレインと前記第三のスイッチトランジスタのドレインとの接続点に接続されており、前記第一及び第二のスイッチトランジスタのドレインは前記信号線に接続されており、前記第四のトランジスタのソースは前記保持容量と前記駆動トランジスタのゲートとの接続点に接続され、前記第四のトランジスタのドレインは前記信号線に接続され、前記第一のスイッチトランジスタのソースは前記第四のトランジスタのゲートに接続され、前記駆動トランジスタのドレインは前記第三のスイッチトランジスタを介して前記電源端子に接続されている電

流駆動回路。

【請求項7】 前記第一及び第二のスイッチトランジスタは前記駆動トランジスタと同極性であることを特徴とする請求項3乃至6の何れか一項に記載の電流駆動回路。

【請求項8】 前記第三のスイッチトランジスタは前記駆動トランジスタ、前記第一のスイッチトランジスタ及び前記第二のスイッチトランジスタとは逆極性であることを特徴とする請求項3乃至7の何れか一項に記載の電流駆動回路。

【請求項9】 前記第四のトランジスタは前記駆動トランジスタ、前記第一のスイッチトランジスタ及び前記第二のスイッチトランジスタと同極性であることを特徴とする請求項5または6に記載の電流駆動回路。

【請求項10】 前記第一及び第二のスイッチトランジスタは前記駆動トランジスタとは逆極性であることを特徴とする請求項3に記載の電流駆動回路。

【請求項11】 前記第三のスイッチトランジスタは前記駆動トランジスタと同極性であり、前記第一のスイッチトランジスタ及び前記第二のスイッチトランジスタとは逆極性であることを特徴とする請求項3に記載の電流駆動回路。

【請求項12】 電源に接続されている電源端子と、接地されている接地端子と、信号電流が流れる信号線と、第一のスイッチトランジスタと、第二のスイッチトランジスタと、第三のスイッチトランジスタと、第四のトランジスタと、前記信号電流を電圧に変換して記憶する第一の保持容量と、前記信号電流を電圧に変換して記憶する第二の保持容量と、駆動トランジスタと、前記駆動トランジスタのソースと前記接地端子との間に接続されている負荷と、前記第一、第二及び第三のスイッチトランジスタのゲートに接続されている選択線と、からなり、前記第一の保持容量は、前記駆動トランジスタのゲートと前記接地端子との間に接続されており、前記第一のスイッチトランジスタは前記駆動トランジスタのドレインとゲートとの間に接続されており、前記第四のトランジスタのドレインは前記信号線に、ソースは前記駆動トランジスタのドレインにそれぞれ接続されており、前記第二のスイッチトランジスタは前記第四のトランジスタのドレインとゲートとの間に接続されており、前記第二の保持容量は前記第四のトランジスタのゲートと前記駆動トランジスタのゲートとの間に接続されてお

り、

前記駆動トランジスタのドレインは前記第三のスイッチトランジスタを介して前記電源端子に接続されている電流駆動回路。

【請求項１３】 前記第一及び第二のスイッチトランジスタは前記駆動トランジスタと同極性であることを特徴とする請求項１２に記載の電流駆動回路。

【請求項１４】 前記第四のトランジスタは前記駆動トランジスタと同極性であることを特徴とする請求項１２または１３に記載の電流駆動回路。

【請求項１５】 前記第三のスイッチトランジスタは前記駆動トランジスタとは逆極性であることを特徴とする請求項１２乃至１４の何れか一項に記載の電流駆動回路。

【請求項１６】 前記負荷は有機エレクトロルミネッセンス素子であることを特徴とする請求項１乃至１５の何れか一項に記載の電流駆動回路。

【請求項１７】 請求項１乃至１６の何れか一項に記載の電流駆動回路を備える画像表示装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】本発明は、有機エレクトロルミネッセンス素子その他の負荷の電流を駆動する電流駆動回路に関する。

【０００２】

【従来の技術】電流駆動を要する負荷の代表的なものの一つとして、有機エレクトロルミネッセンス素子（以下、「有機ＥＬ素子」と略称する）がある。

【０００３】有機ＥＬ素子は、輝度の向上、耐長期寿命性、材料及び有機ＥＬ素子を含むモジュールの封止性等にさまざまな研究課題はあるものの、低電圧の直流電流で駆動可能であること、高効率で高輝度を実現できること、液晶に比べ応答性が速く、かつ、低温での温度特性が良好であること、視認性が良いこと、更に、自発光であるため液晶表示装置と違ってバックライトを必要としないため、有機ＥＬ素子を画像表示装置として使用した場合に画像表示装置を薄型にすることができること等の利点があるため、各種分野において早期の量産化が切望されている。

【０００４】有機ＥＬ素子を画像表示装置に応用する際における有機ＥＬ素子を駆動する方式として、発光効率が良く、高画質を得ることが期待できるアクティブマトリクス方式の駆動回路が盛んに研究されている。このアクティブマトリクス方式の駆動回路においては、アクティブ素子としてアモルファスまたは多結晶シリコンの薄膜トランジスタ（Thin Film Transistor：以下「ＴＦＴ」という）が使用されている。

【０００５】たとえば、特開平１１－２８２４１９号公報には、ＴＦＴにより有機ＥＬ素子を駆動するアクティブマトリクス方式の電流駆動回路の一例が記載されてい

る。

【０００６】図８は同公報に記載されている電流駆動回路を示す回路図である。

【０００７】この電流駆動回路は、一対の電源電極として電源に接続されている電源端子１及び接地されている接地端子２と、信号電流が流れる信号線３と、選択線４と、電流駆動を要する負荷としての有機ＥＬ素子３１と、駆動トランジスタ３２と、トランジスタ３３と、保持容量３４と、第一のスイッチ３５と、第二のスイッチ３６と、からなる。

【０００８】有機ＥＬ素子３１の一端は電源端子１に接続されており、他端は駆動トランジスタ３２を介して接地端子２に接続されている。

【０００９】駆動トランジスタ３２はゲート電極に印加されるゲート電圧に応じて変換された駆動電流を有機ＥＬ素子３１に供給する。

【００１０】電圧保持手段としての保持容量３４は駆動トランジスタ３２のゲートと接地端子２との間に接続されている。

【００１１】保持容量３４及び駆動トランジスタ３２のゲートには、第二のスイッチ３６の一方の端子が接続され、第二のスイッチ３６の他方の端子には電流を電圧に変換するトランジスタ３３が接続されている。

【００１２】トランジスタ３３は駆動トランジスタ３２と同一極性で構成され、トランジスタ３３のドレインとゲートとは互いに接続されダイオード構造をしている。

【００１３】さらに、トランジスタ３３と駆動トランジスタ３２とは第二のスイッチ３６を介してカレントミラー回路を形成している。

【００１４】トランジスタ３３には、第一のスイッチ３５を介して、信号線３が接続されている。

【００１５】第一のスイッチ３５及び第二のスイッチ３６の各制御端子には選択線４が接続されている。

【００１６】選択線４に制御信号を入力して第一のスイッチ３５及び第二のスイッチ３６をショート状態にすると、信号線３の信号電流（図示せず）は、第一のスイッチ３５を介して、電流を電圧に変換するトランジスタ３３に入力され、トランジスタ３３において電圧に変換されるとともに、第二のスイッチ３６を介して、保持容量３４に電荷を充電し、信号電流に相当する電圧を保持容量３４保持する。

【００１７】トランジスタ３３と駆動トランジスタ３２とは第二のスイッチ２６を介してカレントミラー回路を形成しているので、有機ＥＬ素子３１には信号線３からの信号電流が供給される。

【００１８】選択線４の制御信号が遮断され、第一のスイッチ３５及び第二のスイッチ３６がオープン状態になっても、保持容量３４には信号線３からの信号電流に相当する電圧が保持されている。このため、駆動トランジスタ３２のゲートには保持容量３４に保持された電圧が

印加されているため、有機EL素子31には信号線3からの信号電流と同一の電流が続けて供給される。

【0019】

【発明が解決しようとする課題】しかしながら、図8に示した従来の電流駆動回路には、次のような問題点があった。

【0020】第1の問題点は、信号線3からの信号電流が有機EL素子31に精度良く伝達されないという点である。

【0021】その理由は次の通りである。アモルファスまたは多結晶シリコンからなる薄膜トランジスタは、単結晶シリコン半導体とは違って、結晶粒界の存在によって、閾値が数百ミリボルトのオーダーでばらつくことがある。そのため、カレントミラー回路を形成するトランジスタ33及び駆動トランジスタ32をTFTで構成している図8の電流駆動回路においては、これらのトランジスタ33、32を隣接配置したとしても、トランジスタ33、32の閾値のばらつきを抑えることは極めて難しく、両トランジスタ33、32の整合を得ることは困難であるためである。

【0022】従って、図8に示した従来の電流駆動回路をTFTで製造すると、製造歩留まりは低くなり、製造コストの著しく高いものとなる。

【0023】このようなTFTの閾値のばらつきを解消するため、アナログ方式ではなくデジタル方式で信号処理を行う方法（『有機ELパネルの高精細化に向け回路の基本特許を取得（日経エレクトロニクス 2000年4月24日号 NO. 768号）』も提案されているが、こうした方式は回路の複雑化と大規模化を招き、コスト増大の一因となる。

【0024】第2の問題点は、消費電力の増大となるという点である。

【0025】その理由は、カレントミラー回路を形成するトランジスタ33を流れる電流は信号線3からの信号電流ではあるが、このトランジスタ33を流れる電流自身は有機EL素子31に直接流れるものではないためである。

【0026】本発明は、以上のような従来の電流駆動回路における問題点を解決するためになされたものであり、低製造コストと低消費電力の電流駆動回路を提供することを目的とする。

【0027】

【課題を解決するための手段】この目的を達成するため、本発明のうち、請求項1は、電源に接続されている電源端子と、接地されている接地端子と、信号電流が流れる信号線と、第一のスイッチと、前記信号線に接続され、前記第一のスイッチと直列に接続されている第二のスイッチと、前記電源端子に接続されている第三のスイッチと、前記信号電流を電圧に変換して記憶する記憶段と、駆動トランジスタと、前記駆動トランジスタのソー

スと前記接地端子との間に接続されている負荷と、前記第一、第二及び第三のスイッチに接続されている選択線と、からなる電流駆動回路を提供する。

【0028】本電流駆動回路において、前記信号線は前記第一及び第二のスイッチを介して前記駆動トランジスタのゲートに接続されており、前記記憶段は、前記駆動トランジスタのゲートと前記接地端子との間に接続されており、前記第一のスイッチは前記駆動トランジスタのドレインとゲートとの間に接続されており、前記駆動トランジスタのドレインは、前記第二のスイッチを介して前記信号線に接続されるとともに、前記第三のスイッチを介して前記電源端子に接続されている。

【0029】本電流駆動回路においては、前記第三のスイッチは前記第一及び第二のスイッチとは逆極性を有していることが好ましい。

【0030】すなわち、前記選択線がハイレベルまたはローレベルの何れか一方の場合には、前記第一及び第二のスイッチは導通状態にあり、かつ、前記第三のスイッチは遮断状態にあり、前記選択線がハイレベルまたはローレベルのうちの他方の場合には、前記第一及び第二のスイッチは遮断状態にあり、かつ、前記第三のスイッチは導通状態にあることが好ましい。

【0031】請求項3は、電源に接続されている電源端子と、接地されている接地端子と、信号電流が流れる信号線と、第一のスイッチトランジスタと、第二のスイッチトランジスタと、第三のスイッチトランジスタと、前記信号電流を電圧に変換して記憶する保持容量と、駆動トランジスタと、前記駆動トランジスタのソースと前記接地端子との間に接続されている負荷と、前記第一、第二及び第三のスイッチトランジスタのゲートに接続されている選択線と、からなる電流駆動回路を提供する。

【0032】本電流駆動回路においては、前記保持容量は、前記駆動トランジスタのゲートと前記接地端子との間に接続されており、前記第一及び第二のスイッチトランジスタは、前記信号線と前記駆動トランジスタのゲートとの間に相互に直列に接続されており、前記第一のスイッチトランジスタと前記第二のスイッチトランジスタとの接続点は、前記駆動トランジスタのドレインに接続され、前記駆動トランジスタのドレインは前記第三のスイッチトランジスタを介して前記電源端子に接続されている。

【0033】本電流駆動回路においては、前記第一及び第二のスイッチトランジスタは前記駆動トランジスタとは逆極性であることが好ましい。

【0034】また、前記第三のスイッチトランジスタは前記駆動トランジスタと同極性であり、前記第一のスイッチトランジスタ及び前記第二のスイッチトランジスタとは逆極性であることが好ましい。

【0035】また、請求項4は、電源に接続されている電源端子と、接地されている接地端子と、信号電流が流

れる信号線と、第一のスイッチトランジスタと、第二のスイッチトランジスタと、第三のスイッチトランジスタと、前記信号電流を電圧に変換して記憶する保持容量と、駆動トランジスタと、前記駆動トランジスタのソースと前記接地端子との間に接続されている負荷と、前記第一、第二及び第三のスイッチトランジスタのゲートに接続されている選択線と、からなる電流駆動回路を提供する。

【0036】本電流駆動回路においては、前記保持容量は、前記駆動トランジスタのゲートと前記接地端子との間に接続されており、前記第二のスイッチトランジスタのソースは、前記駆動トランジスタのドレインと前記第三のスイッチトランジスタのドレインとの接続点に接続されており、前記第一及び第二のスイッチトランジスタのドレインは前記信号線に接続されており、前記第一のスイッチトランジスタのソースは前記駆動トランジスタのゲートと前記保持容量との接続点に接続されており、前記駆動トランジスタのドレインは前記第三のスイッチトランジスタを介して前記電源端子に接続されている。

【0037】また、請求項5は、電源に接続されている電源端子と、接地されている接地端子と、信号電流が流れる信号線と、第一のスイッチトランジスタと、第二のスイッチトランジスタと、第三のスイッチトランジスタと、第四のトランジスタと、前記信号電流を電圧に変換して記憶する保持容量と、駆動トランジスタと、前記駆動トランジスタのソースと前記接地端子との間に接続されている負荷と、前記第一、第二及び第三のスイッチトランジスタのゲートに接続されている選択線と、からなる電流駆動回路を提供する。

【0038】本電流駆動回路においては、前記保持容量は、前記駆動トランジスタのゲートと前記接地端子との間に接続されており、前記第二のスイッチトランジスタのソースは、前記駆動トランジスタのドレインと前記第三のスイッチトランジスタのドレインとの接続点に接続されており、前記第二のスイッチトランジスタのドレインは前記信号線に接続されており、前記第四のトランジスタは前記第一のスイッチトランジスタのドレインと前記第二のスイッチトランジスタのドレインとの間に接続されており、前記第四のトランジスタは前記第一のスイッチトランジスタ及び前記第二のスイッチトランジスタと同極性であり、前記第四のトランジスタのドレインとゲートは前記第二のスイッチトランジスタと前記信号線との接続点に接続され、前記第四のトランジスタのソースは前記第一のスイッチトランジスタのドレインに接続されており、前記第一のスイッチトランジスタのソースは前記駆動トランジスタのゲートと前記保持容量との接続点に接続されており、前記駆動トランジスタのドレインは前記第三のスイッチトランジスタを介して前記電源端子に接続されている。

【0039】また、請求項6は、電源に接続されている

電源端子と、接地されている接地端子と、信号電流が流れる信号線と、第一のスイッチトランジスタと、第二のスイッチトランジスタと、第三のスイッチトランジスタと、第四のトランジスタと、前記信号電流を電圧に変換して記憶する保持容量と、駆動トランジスタと、前記駆動トランジスタのソースと前記接地端子との間に接続されている負荷と、前記第一、第二及び第三のスイッチトランジスタのゲートに接続されている選択線と、からなる電流駆動回路を提供する。

【0040】本電流駆動回路においては、前記保持容量は、前記駆動トランジスタのゲートと前記接地端子との間に接続されており、前記第二のスイッチトランジスタのソースは、前記駆動トランジスタのドレインと前記第三のスイッチトランジスタのドレインとの接続点に接続されており、前記第一及び第二のスイッチトランジスタのドレインは前記信号線に接続されており、前記第四のトランジスタのソースは前記保持容量と前記駆動トランジスタのゲートとの接続点に接続され、前記第四のトランジスタのドレインは前記信号線に接続され、前記第一のスイッチトランジスタのソースは前記第四のトランジスタのゲートに接続され、前記駆動トランジスタのドレインは前記第三のスイッチトランジスタを介して前記電源端子に接続されている。

【0041】上記の電流駆動回路において、前記第一及び第二のスイッチトランジスタは前記駆動トランジスタと同極性であることが好ましい。

【0042】また、前記第三のスイッチトランジスタは前記駆動トランジスタ、前記第一のスイッチトランジスタ及び前記第二のスイッチトランジスタとは逆極性であることが好ましい。

【0043】さらには、前記第四のトランジスタは前記駆動トランジスタ、前記第一のスイッチトランジスタ及び前記第二のスイッチトランジスタと同極性であることが好ましい。

【0044】請求項12は、電源に接続されている電源端子と、接地されている接地端子と、信号電流が流れる信号線と、第一のスイッチトランジスタと、第二のスイッチトランジスタと、第三のスイッチトランジスタと、第四のトランジスタと、前記信号電流を電圧に変換して記憶する第一の保持容量と、前記信号電流を電圧に変換して記憶する第二の保持容量と、駆動トランジスタと、前記駆動トランジスタのソースと前記接地端子との間に接続されている負荷と、前記第一、第二及び第三のスイッチトランジスタのゲートに接続されている選択線と、からなる電流駆動回路を提供する。

【0045】本電流駆動回路においては、前記第一の保持容量は、前記駆動トランジスタのゲートと前記接地端子との間に接続されており、前記第一のスイッチトランジスタは前記駆動トランジスタのドレインとゲートとの間に接続されており、前記第四のトランジスタのドレイ



ンは前記信号線に、ソースは前記駆動トランジスタのドレインにそれぞれ接続されており、前記第二のスイッチトランジスタは前記第四のトランジスタのドレインとゲートとの間に接続されており、前記第二の保持容量は前記第四のトランジスタのゲートと前記駆動トランジスタのゲートとの間に接続されており、前記駆動トランジスタのドレインは前記第三のスイッチトランジスタを介して電源端子に接続されている。

【0046】本電流駆動回路においては、前記第一及び第二のスイッチトランジスタは前記駆動トランジスタと同極性であることが好ましい。

【0047】また、前記第四のトランジスタは前記駆動トランジスタと同極性であることが好ましい。

【0048】また、前記第三のスイッチトランジスタは前記駆動トランジスタとは逆極性であることが好ましい。

【0049】上述の電流駆動回路において、前記負荷としては、例えば、有機エレクトロルミネッセンス素子を選択することができる。

【0050】上述の電流駆動回路は画像表示装置に適しており、画像表示装置に使用することにより、製造コストと消費電力の軽減を図ることができる。

【0051】

【発明の実施の形態】図1は、本発明の第一の実施形態に係る電流駆動回路の回路図である。

【0052】本実施形態に係る電流駆動回路は、一対の電源電極としての、電源に接続されている電源端子1及び接地されている接地端子2と、信号電流が流れる信号線3と、第一のスイッチ8と、信号線3に接続され、第一のスイッチ8と直列に接続されている第二のスイッチ9と、電源端子1に接続されている第三のスイッチ10と、信号電流を電圧に変換して記憶する記憶段7と、駆動トランジスタ6と、駆動トランジスタ6のソースと接地端子2との間に接続されている負荷5と、第一、第二及び第三のスイッチ8、9、10に接続されている選択線4と、からなっている。

【0053】信号線3は、互いに直列に接続された第一のスイッチ8及び第二のスイッチ9を介して駆動トランジスタ6のゲートに接続されている。

【0054】駆動トランジスタ6のソースと接地端子2との間に接続されている負荷5には、駆動トランジスタ6によって信号線3の信号電流が供給される。負荷5は、例えば、有機EL素子のように電流駆動を要する負荷である。

【0055】信号線3の信号電流を電圧に変換して記憶する記憶段7は、駆動トランジスタ6のゲートと接地端子2との間に接続されている。

【0056】第一のスイッチ8は駆動トランジスタ6のドレインとゲートとの間に接続されている。

【0057】駆動トランジスタ6のドレインは、第二の

スイッチ9を介して信号線3に接続され、さらに、第三のスイッチ10を介して電源端子1に接続されている。

【0058】第一、第二及び第三のスイッチ8、9及び10の制御端子は選択線4に接続されている。

【0059】第一のスイッチ8が導通状態のときには、駆動トランジスタ6のドレインとゲートとがショートの状態となる。

【0060】第三のスイッチ10は第一のスイッチ8及び第二のスイッチ9とは逆極性である。すなわち、選択線4がハイレベルの場合には、第一のスイッチ8及び第二のスイッチ9は導通状態となり、第三のスイッチ10は遮断状態になり、逆に、選択線4がローレベルの場合には、第一のスイッチ8及び第二のスイッチ9は遮断状態となり、第三のスイッチ10は導通状態となる。

【0061】次に、本実施形態に係る電流駆動回路の動作について説明する。

【0062】図1に示した本実施形態に係る電流駆動回路において、信号線3には信号電流（図示せず）が印加されている。このとき、選択線4がハイレベルの状態になると、第一のスイッチ8及び第二のスイッチ9はともに導通状態になり、駆動トランジスタ6のドレインとゲートとが第一のスイッチ8を介してショートし、駆動トランジスタ6はダイオードのような状態となる。

【0063】第三のスイッチ10は遮断状態となる。

【0064】従って、信号線3からの信号電流は、第一のスイッチ8及び第二のスイッチ9を介して、記憶段7に記憶されると同時に、駆動トランジスタ6を介して負荷5に供給される。即ち、選択線4がハイレベルの状態のときには、負荷5には信号線3からの信号電流が供給される。

【0065】一方、選択線4がローレベルのときには、第一のスイッチ8及び第二のスイッチ9はともに遮断状態となり、逆に、第三のスイッチ10は導通状態となる。

【0066】このため、駆動トランジスタ6のドレインとゲートとはオープン状態となる。この時、信号線3からの信号電流は遮断されるが、第三のスイッチ10が導通状態となるため、駆動トランジスタ6のドレインは第三のスイッチ10を介して電源1に接続され、駆動トランジスタ6のゲートには、選択線4がハイレベルのときに記憶段7に記憶された信号線3からの信号電流を電圧に変換した信号電圧が印加されている。

【0067】従って、選択線4がローレベルであって信号線3からの信号電流が印加されていない状態であっても、記憶段7に記憶されていた信号電圧が駆動トランジスタ6のゲートに印加されているので、駆動トランジスタ6はその信号電圧に相当する電流を電源端子1を介して負荷5に供給する。すなわち、選択線4がローレベルのときには、駆動トランジスタ6は電源端子1を介して負荷5に電流を供給することができる。

【0068】このように、駆動トランジスタ6は記憶段7に記憶された電圧によって、信号線3からの信号電流がない状態であっても、負荷5に電流を供給し続ける。

【0069】ここで、選択線4がハイレベルの状態の時は、第一のスイッチ8が導通するため駆動トランジスタ6のドレインとゲートはショート状態である。すなわち、駆動トランジスタ6のドレインとソース間の電圧はゲート・ソース間の電圧に等しい。

【0070】一方、選択線4がローレベルの状態の時は、駆動トランジスタ6のドレインはスイッチ10を介して電源端子1に接続されているので、駆動トランジスタ6のドレインとソース間の電圧は電源端子1の電圧値に依存し、選択線4がハイレベルの状態の時とは異なることがある。このことは、駆動トランジスタ6のアーリー電圧の影響で、選択線4がハイレベルの状態とローレベルの状態とで負荷6に供給する駆動トランジスタ6の駆動電流が異なることがある。

【0071】しかし、記憶段7は駆動トランジスタ6のゲートと接地端子2との間に接続されているので、駆動トランジスタ6のソースと接地端子2との間に接続されている付加の帰還作用によってアーリー電圧の影響による駆動電流の増加は抑制される。

【0072】本実施形態に係る電流駆動回路は、例えば、薄膜トランジスタを使用したアクティブマトリクス方式の有機EL素子の画像表示方法の駆動回路に使われる。

【0073】本実施形態に係る電流駆動回路は次のような効果を奏する。

【0074】第1の効果は、本電流駆動回路を構成するTFTのトランジスタ間の整合や閾値の精度の調整が必要ないという点である。このため、製造歩留まりを極めて高くすることが可能であり、製造コストの低い画像表示装置を提供することが可能である。

【0075】その理由は、記憶段7に記憶された信号電圧に相当する電流が駆動トランジスタ6を駆動する電流として駆動トランジスタ6に供給されるためである。

【0076】第2の効果は、本実施形態に係る電流駆動回路における回路電流は全て負荷5に流れ込むため、回路電流を低減することができ、消費電力を低減させることが可能である点である。このため、本実施形態に係る電流駆動回路は携帯機器にも適用することができる。

【0077】その理由は次の通りである。

【0078】従来の電流駆動回路はカレントミラー回路で形成していた。カレントミラー回路の場合、信号電流を一旦電圧に変換するダイオード構成のトランジスタを必要としていたが、このトランジスタに流れる電流は直接負荷に供給されるものではないため、消費電力の増大の要因であった。

【0079】本実施形態に係る電流駆動回路はカレントミラー回路で形成されるものではないため、信号電流を

電圧に変換するダイオード構成のトランジスタは必要ではなく、さらには、回路電流は全て負荷5に流れ込むため、従来の電流駆動回路と比較して、大幅に消費電力を低減させることができる。

【0080】図2は、本発明の第二の実施形態に係る電流駆動回路の回路図である。

【0081】本実施形態に係る電流駆動回路は、一対の電源電極としての、電源に接続されている電源端子1及び接地されている接地端子2と、信号電流が流れる信号線3と、第一のスイッチトランジスタ13と、第二のスイッチトランジスタ14と、電源端子1に接続されている第三のスイッチトランジスタ15と、信号電流を電圧に変換して記憶する記憶段としての保持容量12と、駆動トランジスタ6と、駆動トランジスタ6に対する負荷としての有機EL素子11と、第一、第二及び第三のスイッチトランジスタ13、14、15の各ゲートに接続されている選択線4と、からなっている。

【0082】駆動トランジスタ6に対する負荷としての有機EL素子11は駆動トランジスタ6のソースと接地端子2との間に接続されている。

【0083】記憶段としての保持容量12は、駆動トランジスタ6のゲートと接地端子2との間に接続されている。

【0084】第一及び第二のスイッチトランジスタ13、14は信号線3と駆動トランジスタ6のゲートとの間において、互いに直列に接続されている。すなわち、第一のスイッチトランジスタ13のソースは駆動トランジスタ6のゲートと、ドレインは第二のスイッチトランジスタ14のソースと各々接続されており、第二のスイッチトランジスタ14のドレインは信号線3に接続されている。

【0085】第一及び第二のスイッチトランジスタ13、14は駆動トランジスタ6と同極性であるが、第三のスイッチトランジスタ15とは逆極性である。

【0086】第一のスイッチトランジスタ13のドレインと第二のスイッチトランジスタ14のソースとの接続点は、駆動トランジスタ6のドレインと第三のスイッチトランジスタ15のドレインとの接続点と接続されている。

【0087】駆動トランジスタ6のドレインは第三のスイッチトランジスタ15を介して電源端子1に接続されている。

【0088】第一、第二及び第三のスイッチトランジスタ13、14及び15のゲートはそれぞれ選択線4に接続されている。

【0089】本実施形態に係る電流駆動回路は次のように作動する。

【0090】信号線3に信号電流（図示せず）が印加され、選択線4がハイレベルの状態になると、第一及び第二のスイッチトランジスタ13及び14はともに導通状

態となる。このため、駆動トランジスタ6のドレインとゲートとは第一のスイッチトランジスタ13を介してショートの状態となり、駆動トランジスタ6はダイオードと同様の状態になる。第三のスイッチトランジスタ15は遮断状態となる。

【0091】従って、信号線3からの信号電流は、第一及び第二のスイッチトランジスタ13、14を介して、保持容量12に供給され、保持容量12によって信号電圧に変換されると同時に、駆動トランジスタ6を介して、有機EL素子11に供給される。

【0092】一方、選択線4がローレベルの状態となると、第一及び第二のスイッチトランジスタ13及び14はともに遮断状態となり、逆に、第三のスイッチトランジスタ15は導通状態となる。このため、駆動トランジスタ6のドレインとゲートはオープン状態となり、さらに、駆動トランジスタ6のドレインは第三のスイッチトランジスタ15を介して電源端子1に接続される。

【0093】また、駆動トランジスタ6のゲートには、選択線4がハイレベルのときに保持容量12に記憶された信号線3からの信号電流を電圧に変換された信号電圧が保持されている。従って、駆動トランジスタ6は、選択線4がローレベルであって、信号線3からの信号電流が印加されていない状態であっても、保持容量12に記憶された信号電圧が駆動トランジスタ6のゲートに印加されているので、電源端子1を介して、保持容量12に記憶されている信号電圧に相当する電流を有機EL素子11に供給することができる。

【0094】本実施形態に係る電流駆動回路によっても、上述の第一の実施形態に係る電流駆動回路と同様の効果を得ることができる。

【0095】図3は、本発明の第三の実施形態に係る電流駆動回路の回路図である。

【0096】本実施形態に係る電流駆動回路は、一对の電源電極としての、電源に接続されている電源端子1及び接地されている接地端子2と、信号電流が流れる信号線3と、第一のスイッチトランジスタ13と、第二のスイッチトランジスタ14と、電源端子1に接続されている第三のスイッチトランジスタ15と、信号電流を電圧に変換して記憶する記憶段としての保持容量12と、駆動トランジスタ6と、駆動トランジスタ6に対する負荷としての有機EL素子11と、第一、第二及び第三のスイッチトランジスタ13、14、15の各ゲートに接続されている選択線4と、からなっている。

【0097】本実施形態に係る電流駆動回路においては、第二のスイッチトランジスタ14の配置が図2に示した第二の実施形態に係る電流駆動回路と異なっている。すなわち、第二のスイッチトランジスタ14のゲートが選択線4に接続されている点は第二の実施形態と同様であるが、第二のスイッチトランジスタ14のソースは、駆動トランジスタ6のドレインと第三のスイッチト

ランジスタ15のドレインとの接続点に接続され、第二のスイッチトランジスタ14のドレインは、第一のスイッチトランジスタ13のドレインと信号線3との接続点に接続されている。

【0098】この第二のスイッチトランジスタ14の配置以外の構成は図2に示した第二の実施形態に係る電流駆動回路と同様である。

【0099】本実施形態に係る電流駆動回路は次のように作動する。

【0100】選択線4がハイレベルの状態になると、第一及び第二のスイッチトランジスタ13及び14は導通状態となり、第三のスイッチトランジスタ15は遮断状態となる。

【0101】このため、信号線3からの信号電流は、第一のスイッチトランジスタ13を介して、保持容量12に流れて信号電圧として保持されるとともに、第二のスイッチトランジスタ14を介して、駆動トランジスタ6に流れ、駆動トランジスタ6を介して、有機EL素子11に供給される。

【0102】選択線4がローレベルの状態のときには、第一及び第二のスイッチトランジスタ13及び14が遮断状態となり、第三のスイッチトランジスタ15は導通状態となる。

【0103】このため、信号線3からの信号電流は遮断されるが、駆動トランジスタ6は導通状態となっている第三のスイッチトランジスタ15を介して電源端子1と接続される。選択線4がローレベルであって、信号線3からの信号電流が印加されていない状態であっても、保持容量12に記憶された信号電圧が駆動トランジスタ6のゲートに印加されている。このため、駆動トランジスタ6には電源端子1から、保持容量12に記憶されている信号電圧に相当する電流が供給される。この電流は、駆動トランジスタ6を介して、有機EL素子11に供給される。

【0104】以上のように、本実施形態に係る電流駆動回路によっても、上述の第一の実施形態に係る電流駆動回路と同様の効果を得ることができる。

【0105】図4は、本発明の第四の実施形態に係る電流駆動回路の回路図である。

【0106】本実施形態に係る電流駆動回路は、一对の電源電極としての、電源に接続されている電源端子1及び接地されている接地端子2と、信号電流が流れる信号線3と、第一のスイッチトランジスタ13と、第二のスイッチトランジスタ14と、電源端子1に接続されている第三のスイッチトランジスタ15と、レベルシフト用トランジスタ16と、信号電流を電圧に変換して記憶する記憶段としての保持容量12と、駆動トランジスタ6と、駆動トランジスタ6に対する負荷としての有機EL素子11と、第一、第二及び第三のスイッチトランジスタ13、14、15の各ゲートに接続されている選択線

4と、からなっている。

【0107】すなわち、本実施形態に係る電流駆動回路は、図3に示した第三の実施形態に係る電流駆動回路と比較して、レベルシフト用トランジスタ16をさらに備えた構造を有している。

【0108】レベルシフト用トランジスタ16は、第一のスイッチトランジスタ13のドレインと第二のスイッチトランジスタ14のドレインとの間に接続されている。レベルシフト用トランジスタ16のドレインとゲートは第二のスイッチトランジスタ14と信号線3との接続点に接続され、ソースは第一のスイッチトランジスタ13のドレインに接続されている。

【0109】レベルシフト用トランジスタ16は第一及び第二のスイッチトランジスタ13及び14と同極性である。

【0110】本実施形態に係る電流駆動回路は次のように作動する。

【0111】選択線4がハイレベルの状態のときには、図3に示した第一の実施形態における第一及び第二のスイッチトランジスタ13及び14は飽和領域で動作するが、本実施形態に係る電流駆動回路においては、レベルシフト用トランジスタ16を設けることにより、第一のスイッチトランジスタ13は非飽和領域で動作する。

【0112】この点以外の動作は図3に示した第一の実施形態に係る電流駆動回路と同様である。

【0113】本実施形態に係る電流駆動回路によっても、上述の第一の実施形態に係る電流駆動回路と同様の効果を得ることができる。

【0114】図5は、本発明の第五の実施形態に係る電流駆動回路の回路図である。

【0115】本実施形態に係る電流駆動回路は、一対の電源電極としての、電源に接続されている電源端子1及び接地されている接地端子2と、信号電流が流れる信号線3と、第一のスイッチトランジスタ13と、第二のスイッチトランジスタ14と、電源端子1に接続されている第三のスイッチトランジスタ15と、レベルシフト用トランジスタ16と、信号電流を電圧に変換して記憶する記憶段としての保持容量12と、駆動トランジスタ6と、駆動トランジスタ6に対する負荷としての有機EL素子11と、第一、第二及び第三のスイッチトランジスタ13、14、15の各ゲートに接続されている選択線4と、からなっている。

【0116】本実施形態に係る電流駆動回路は、図4に示した第四の実施形態に係る電流駆動回路と比較して、第一のスイッチトランジスタ13及びレベルシフト用トランジスタ16の配置が異なっている。

【0117】第一のスイッチトランジスタ13のゲートは選択線4に接続され、ソースはレベルシフト用トランジスタ16のゲートに接続され、ドレインは信号線3と第二のスイッチトランジスタ14のドレインとレベルシ

フト用トランジスタ16のドレインとの接続点に接続されている。

【0118】レベルシフト用トランジスタ16のソースは保持容量12と駆動トランジスタ6のゲートとの接続点に接続され、ドレインは信号線3に接続され、ゲートは第一のスイッチトランジスタ13のソースに接続されている。

【0119】第一のスイッチトランジスタ13及びレベルシフト用トランジスタ16の配置以外の構成は図4に示した第四の実施形態に係る電流駆動回路と同様である。

【0120】本実施形態に係る電流駆動回路は次のように作動する。

【0121】選択線4がハイレベルの状態になると、第一及び第二のスイッチトランジスタ13及び14はともに導通状態になる。このため、レベルシフト用トランジスタ16のドレインとゲートとは第一のスイッチトランジスタ13を介して接続され、この結果、レベルシフト用トランジスタ16はダイオードとして動作する。

【0122】この点以外の動作は図3に示した第一の実施形態に係る電流駆動回路と同様である。

【0123】本実施形態に係る電流駆動回路によっても、上述の第一の実施形態に係る電流駆動回路と同様の効果を得ることができる。

【0124】図6は、本発明の第六の実施形態に係る電流駆動回路の回路図である。

【0125】本実施形態に係る電流駆動回路は、一対の電源電極としての、電源に接続されている電源端子1及び接地されている接地端子2と、信号電流が流れる信号線3と、第一のスイッチトランジスタ13と、第二のスイッチトランジスタ14と、電源端子1に接続されている第三のスイッチトランジスタ15と、信号電流を電圧に変換して記憶する記憶段としての保持容量12と、駆動トランジスタ6と、駆動トランジスタ6に対する負荷としての有機EL素子11と、第一、第二及び第三のスイッチトランジスタ13、14、15の各ゲートに接続されている選択線4と、からなっている。

【0126】すなわち、本実施形態に係る電流駆動回路は、図2に示した第二の実施形態に係る電流駆動回路と同一の構成を有しているが、第一、第二及び第三のスイッチトランジスタ13、14、15並びに駆動トランジスタ6相互間の極性が異なっている。

【0127】すなわち、図2に示した第二の実施形態に係る電流駆動回路においては、第一及び第二のスイッチトランジスタ13、14は駆動トランジスタ6と同一の極性を有し、第三のスイッチトランジスタ15は駆動トランジスタ6とは逆極性を有していたが、本実施形態に係る電流駆動回路においては、第一及び第二のスイッチトランジスタ13、14は駆動トランジスタ6とは逆極性を有し、第三のスイッチトランジスタ15は駆動トラ

ンジスタ6と同極性を有している。

【0128】図1乃至5に示した第一乃至第五の実施形態においては、選択線4がハイレベルの状態のときに、信号線3からの信号電流が駆動トランジスタ6を介して有機EL素子11に供給され、選択線4がローレベルの状態のときには、電源端子1から第三のスイッチトランジスタ15及び駆動トランジスタ6を介して有機EL素子11に電流が供給されていた。

【0129】これに対して、図6に示す第六の実施形態に係る電流駆動回路においては、次のように、有機EL素子11に対して電流が供給される。

【0130】選択線4がローレベルの状態になると、第一及び第二のスイッチトランジスタ13及び14は導通状態になり、第三のスイッチトランジスタ15は遮断状態になる。

【0131】従って、信号線3からの信号電流は、第一及び第二のスイッチトランジスタ13及び14を介して、保持容量12に供給され、信号電圧に変換されると同時に、駆動トランジスタ6を介して、有機EL素子11に供給される。

【0132】一方、選択線4がハイレベルの状態になると、第一及び第二のスイッチトランジスタ13及び14は遮断状態になり、逆に、第三のスイッチトランジスタ15は導通状態になる。

【0133】このため、駆動トランジスタ6のドレインとゲートはオープン状態になり、また、第三のスイッチトランジスタ15が導通状態になるため、駆動トランジスタ6のドレインは第三のスイッチトランジスタ15を介して電源端子1に接続される。

【0134】また、選択線4がローレベルのときには、駆動トランジスタ6は、そのゲートを介して、保持容量12に記憶された信号線3からの信号電流を電圧に変換された信号電圧を保持している。

【0135】従って、選択線4がハイレベルであって、信号線3からの信号電流が印加されない状態であっても、保持容量12に記憶された信号電圧が駆動トランジスタ6のゲートに印加されているため、電源端子1及び駆動トランジスタ6を介して、信号電圧に相当する電流が有機EL素子11に供給される。

【0136】本実施形態に係る電流駆動回路によれば、駆動トランジスタ6が非飽和領域で動作しない範囲において、選択線4のハイレベルの電位を適切に選択し、かつ、駆動トランジスタ6のドレイン及びソース間の電圧を所定の値に選べば、アーリー電圧の影響を除去することができる。

【0137】図7は、本発明の第七の実施形態に係る電流駆動回路の回路図である。

【0138】本実施形態に係る電流駆動回路は、一対の電源電極としての、電源に接続されている電源端子1及び接地されている接地端子2と、信号電流が流れる信号

線3と、第一のスイッチトランジスタ13と、第二のスイッチトランジスタ14と、電源端子1に接続されている第三のスイッチトランジスタ15と、電流をバイパスする第四のトランジスタ21と、第一の保持容量17と、第二の保持容量18と、駆動トランジスタ6と、駆動トランジスタ6に対する負荷としての有機EL素子11と、第一、第二及び第三のスイッチトランジスタ13、14、15の各ゲートに接続されている選択線4と、からなっている。

【0139】第一の保持容量17は、駆動トランジスタ6のゲートと接地端子2との間に接続されている。

【0140】第一のスイッチトランジスタ13は、駆動トランジスタ6のドレインとゲートとの間に接続されている。すなわち、第一のスイッチトランジスタ13のドレインは駆動トランジスタ6のドレインに接続され、ソースは駆動トランジスタ6のゲートに接続されている。第一のスイッチトランジスタ13のゲートは選択線4に接続されている。

【0141】第四のトランジスタ21のドレインは信号線3に接続され、ソースは駆動トランジスタ6のドレインに接続され、ゲートは第二のスイッチトランジスタ14のソースと第二の保持容量18との接続点に接続されている。

【0142】第二のスイッチトランジスタ14は第四のトランジスタ21のドレインとゲートとの間に接続されている。すなわち、第二のスイッチトランジスタ14のドレインは第四のトランジスタ21のドレインと第三のスイッチトランジスタ15のドレインとの接続点に接続され、ソースは第四のトランジスタ6のゲートと第二の保持容量18との接続点に接続されている。第二のスイッチトランジスタ14のゲートは選択線4に接続されている。

【0143】第二の保持容量18は第四のトランジスタ21のゲートと駆動トランジスタ6のゲートとの間に接続されている。

【0144】第三のスイッチトランジスタ15のソースは電源端子1に接続され、ドレインは第二のスイッチトランジスタ14のドレインと第四のトランジスタ21のドレインと駆動トランジスタ6のドレインとの接続点に接続され、ゲートは選択線4に接続されている。

【0145】本実施形態に係る電流駆動回路においては、第一のスイッチトランジスタ13及び第二のスイッチトランジスタ14、第四のトランジスタ21は駆動トランジスタ6と同極性であり、第三のスイッチトランジスタ15は駆動トランジスタ6とは逆極性である。

【0146】本実施形態に係る電流駆動回路は次のように作動する。

【0147】選択線4がハイレベルの状態になると、第一及び第二のスイッチトランジスタ13及び14は導通状態になり、第三のスイッチトランジスタ15は遮断状

態になる。

【0148】第二のスイッチトランジスタ14が導通状態になるため、第二のスイッチトランジスタ14を介して、第二の保持容量18及び第一の保持容量17には信号線3からの信号電流が流れ、第一の保持容量17には信号電流に相当する信号電圧が発生する。

【0149】一方、第二のスイッチトランジスタ14と第一のスイッチトランジスタ13とはともに導通状態になるため、第四のトランジスタ21及び駆動トランジスタ6はともにダイオード状態となり、信号線3からの信号電流が、第四のトランジスタ21及び駆動トランジスタ6を介して、有機EL素子11に供給される。

【0150】また、第一のスイッチトランジスタ13が導通しているため、駆動トランジスタ6のドレイン電圧とゲート電圧はほぼ等しくなる。すなわち、駆動トランジスタ6のドレインとソース間の電圧差はゲートとソース間の電圧差に等しい。ここで、第二の保持容量18の両端には、第四のトランジスタ21のゲートソース間の電圧が印加されている。

【0151】選択線4がローレベルの状態になると、第一及び第二のスイッチトランジスタ13及び14は遮断状態になり、第三のスイッチトランジスタ15は導通状態になる。このため、駆動トランジスタ6及び第四のトランジスタ21はドレインとゲートがショート状態になっているダイオード状態から、トランジスタ動作を行う状態に移行する。

【0152】第四のトランジスタ21のゲートには、第二の保持容量18と第一の保持容量17とに蓄積された電荷に相当する電圧が印加されている。また、駆動トランジスタ6のゲートには信号線3からの信号電流に相当する信号電圧が印加されているので、駆動トランジスタ6は、電源端子1から、第三のスイッチトランジスタ15及び第四のトランジスタ21を介して、信号電圧に相当する電圧を有機EL素子11に供給する。

【0153】この時、第二の保持容量18の両端の電圧は第四のトランジスタ21のゲートとソース間の電圧となり、駆動トランジスタ6のドレインとゲートにおける電圧は等しくなる。すなわち、駆動トランジスタ6のドレインとソース間の電圧差はゲートとソース間の電圧差に等しい。

【0154】従って、選択線4がハイレベルの状態であっても、あるいは、ローレベルの状態であっても、駆動トランジスタ6のドレインとゲート間の電圧は同じ値を保つため、トランジスタのアーリー電圧の影響をなくすることが可能である。

【0155】このことは、本実施形態に係る電流駆動装置を画像表示装置として使用した場合、選択線4がハイレベルの場合とローレベルの場合とを比較しても、有機EL素子11に供給される電流が異なることがなく、階調ムラのない好適な画像表示装置を提供できることを意

味している。

【0156】また、本実施形態に係る電流駆動装置のみならず、上述の第一乃至第六の実施形態に係る電流駆動装置を画像表示装置として使用した場合も同様である。

【0157】

【発明の効果】以上のように、本発明に係る電流駆動回路によれば、駆動トランジスタのゲートと接地端子との間に保持容量を設けることによって、選択線がハイレベルの場合に、信号線からの信号電流は保持容量に記憶され、保持容量によって信号電圧に変換されるとともに、選択線がローレベルになって信号電流がない場合であっても、保持容量に記憶された信号電圧により駆動トランジスタが駆動され、負荷に電流が供給される。このため、本発明に係る電流駆動回路は、半導体製造プロセスにおけるばらつき等の影響を極めて受け難く、製造歩留まりを向上させることが可能である。

【図面の簡単な説明】

【図1】本発明の第一の実施形態に係る電流駆動回路の回路図である。

【図2】本発明の第二の実施形態に係る電流駆動回路の回路図である。

【図3】本発明の第三の実施形態に係る電流駆動回路の回路図である。

【図4】本発明の第四の実施形態に係る電流駆動回路の回路図である。

【図5】本発明の第五の実施形態に係る電流駆動回路の回路図である。

【図6】本発明の第六の実施形態に係る電流駆動回路の回路図である。

【図7】本発明の第七の実施形態に係る電流駆動回路の回路図である。

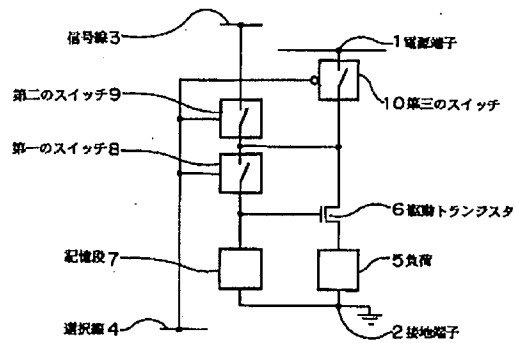
【図8】従来の電流駆動回路の回路図である。

【符号の説明】

- 1 電源端子
- 2 接地端子
- 3 信号線
- 4 選択線
- 5 負荷
- 6 駆動トランジスタ
- 7 記憶段
- 8 第一のスイッチ
- 9 第二のスイッチ
- 10 第三のスイッチ
- 11 有機EL素子
- 12 保持容量
- 13 第一のスイッチトランジスタ
- 14 第二のスイッチトランジスタ
- 15 第三のスイッチトランジスタ
- 16 レベルシフト用トランジスタ
- 17 第一の保持容量

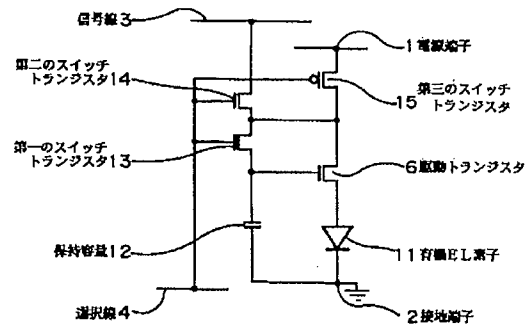
1 8 第二の保持容量

【図 1】

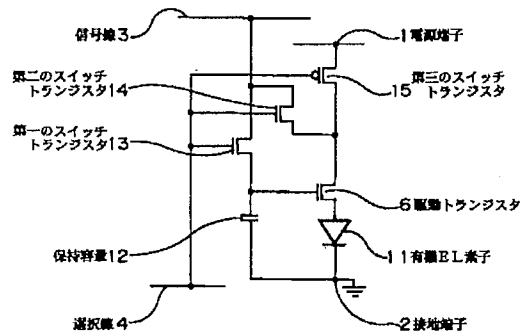


2 1 第四のトランジスタ

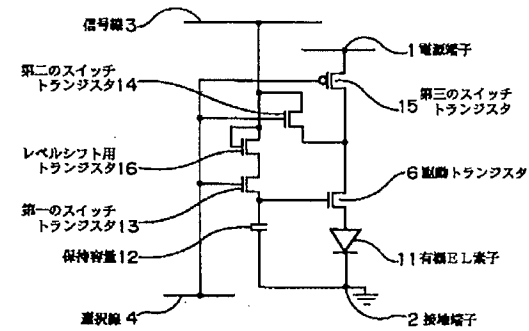
【図 2】



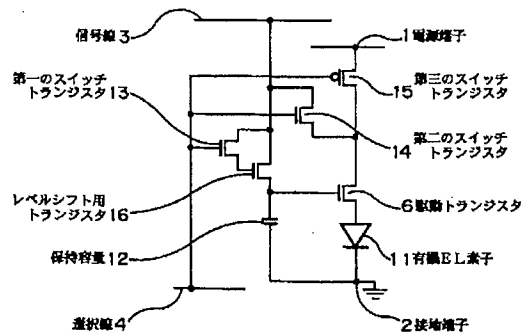
【図 3】



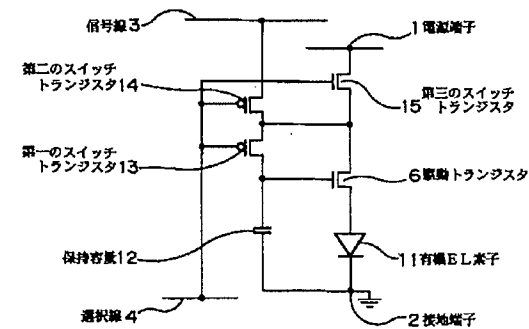
【図 4】



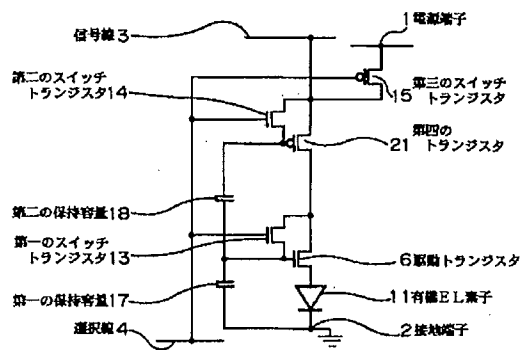
【図 5】



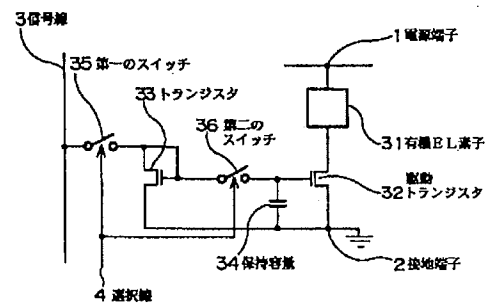
【図 6】



【図 7】



【図 8】



フロントページの続き

(51) Int. Cl.<sup>7</sup>  
H 0 5 B 33/14

識別記号

F I  
H 0 5 B 33/14

テーマコード (参考)  
A